

MANUFACTURE OF ELECTRONIC CIRCUIT MOUNTING SUBSTRATE

Patent Number: JP2000323845
Publication date: 2000-11-24
Inventor(s): HIWATARI FUMITO
Applicant(s): SONY CORP
Requested Patent: JP2000323845
Application Number: JP19990134392 19990514
Priority Number(s):
IPC Classification: H05K3/46; H01G4/33; H05K1/16
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a technique for allowing a multilayer board for mounting a general electronic circuit to contain a capacitor film with high capacitance in high density.

SOLUTION: A capacitor film is not directly formed on a mounting board, but a process substrate 1 having excellent surface smoothness and heat resistance, such as an Si substrate or glass substrate, is prepared and a capacitor layer composed of thin films (metal film 3, dielectric film 4, metal film 5) is formed thereon. Then, the formed capacitor is transferred to an electronic circuit mounting board 9. Since the electronic circuit mounting board does not need to be smooth or heat resistant at this time, a glass epoxy substrate, ceramic substrate or the like can be used.

Data supplied from the **esp@cenet** database - I2

Japanese Laid-Open Patent Application 2000-323845
(partial translation)

(0012)

(The embodiment of the invention)

The present invention offers the technology of incorporating at least a thin film capacitor in a multilayer substrate for mounting an electronic circuit. Generally, for the multilayer substrate for mounting electronic circuit, a glass epoxy substrate or a ceramic substrate, and the like, have been used.

For the build-in formation of thin film capacitor substrate, however, it is necessary to secure smoothness that allows formation of a thin film. Also, it is important that the substrate endures the temperature over 600°C used at the of annealing the dielectric layer.

(0013)

Considering the mounting substrate used conventionally from this viewpoint, there arises problems of smoothness and heatproof nature in the case of a glass epoxy substrate. Also, a ceramic substrate is excellent in heatproof nature, there exists void-form unevenness on the surface and it is difficult to form a thin film on the top thereof.

(0014)

Thereupon, in the present invention, the condenser film is not formed directly on the mounting substrate. Instead, a process substrate such as a Si substrate or glass substrate excellent with surface smoothness and heatproof nature is provided separately and the thin film capacitor is formed thereon. Thereafter, the formed capacitor is transferred to the electronic circuit mounting substrate.

(0015)

By using such a method of manufacture, the substrate for mounting the electronic circuit is not required to have the smoothness and heatproof nature. Therefore, it is possible to use a conventional substrate such as a glass epoxy substrate, ceramic substrate, etc. Of course, it is possible to use a Si substrate, a glass substrate, a mica substrate, etc. Explanation will be made in detail below.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-323845
(P2000-323845A)

(43)公開日 平成12年11月24日(2000. 11. 24)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 5 K 3/46		H 0 5 K 3/46	Q 4 E 3 5 1
H 0 1 G 4/33		1/16	H 5 E 0 8 2
H 0 5 K 1/16		H 0 1 G 4/06	D 5 E 3 4 6
			1 0 2

審査請求 未請求 請求項の数9 OL (全 6 頁)

(21)出願番号 特願平11-134392

(22)出願日 平成11年5月14日(1999. 5. 14)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 日渡 冊人

東京都品川区北品川6丁目7番35号ソニー
株式会社内

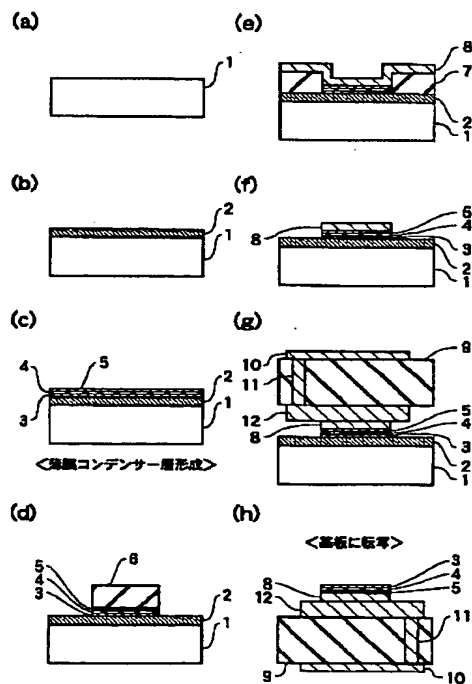
最終頁に続く

(54)【発明の名称】 電子回路実装用基板の製造方法

(57)【要約】

【課題】高容量のコンデンサー膜を一般的な電子回路実装用の多層基板に高密度で内蔵化する技術を提供する。

【解決手段】実装基板上に直接コンデンサー膜を形成するのではなく、Si基板やガラス基板のような表面平滑性、耐熱性に優れたプロセス用基板1を準備し、その上に薄膜のコンデンサー層(金属膜3、誘電体膜4、金属膜5)を形成する。その後、形成されたコンデンサーを電子回路の実装基板9に転写させる。このときの電子回路実装基板は平滑性、耐熱性を有する必要が無いので、ガラスエポキシ基板、セラミック基板などを用いることができる。



【特許請求の範囲】

【請求項1】 少なくとも耐熱性、平坦性に優れたプロセス用基板を用い、このプロセス用基板上にコンデンサー層を作製する工程と、

実装基板を準備しこの実装基板上に前記プロセス用基板上のコンデンサー層を転写する工程と、

前記実装基板に少なくとも前記コンデンサー層とは異なる導電層を一層以上設ける工程とを具備し、

少なくとも前記コンデンサー層を内蔵化したことを特徴とする電子回路実装用基板の製造方法。

【請求項2】 前記プロセス用基板は、Si基板、ガラス基板、マイカ基板のうちから選択されることを特徴とする請求項1記載の電子回路実装用基板の製造方法。

【請求項3】 前記コンデンサー層を転写する際に、金属どうしの超音波接合を利用することを特徴とする請求項1記載の電子回路実装用基板の製造方法。

【請求項4】 前記コンデンサー層を転写する際に、導電性接着剤を用いることを特徴とする請求項1記載の電子回路実装用基板の製造方法。

【請求項5】 前記コンデンサー層の上層、下層、または同層に抵抗層を設ける工程をさらに具備したことを特徴とする請求項1記載の電子回路実装用基板の製造方法。

【請求項6】 前記実装基板に所定の電位を与える層を予め設ける工程を具備したことを特徴とする請求項1記載の電子回路実装用基板の製造方法。

【請求項7】 前記コンデンサー層とは異なる導電層は、別に準備された基板と前記実装基板との圧着を伴って設けられることを特徴とする請求項1記載の電子回路実装用基板の製造方法。

【請求項8】 少なくとも耐熱性、平坦性に優れたプロセス用基板を用い、このプロセス用基板上にコンデンサー層を作製する工程と、

一方面側に第1の電位供給用の導電層が設けられた実装基板を準備しこの実装基板の他方面上に前記プロセス用基板上のコンデンサー層を転写する工程と、

前記実装基板に少なくとも第2の電位供給用の導電層が設けられた別個の基板を固着する工程と、

少なくとも前記第1の電位供給用の導電層上または前記第2の電位供給用の導電層上に前記コンデンサー層とは異なる配線用の導電層を一層以上設ける工程とを具備し、

少なくとも前記コンデンサー層を内蔵化したことを特徴とする電子回路実装用基板の製造方法。

【請求項9】 前記第2の電位供給用の導電層が設けられた別個の基板に対し、抵抗層が実装される工程をさらに具備することを特徴とする請求項8記載の電子回路実装用基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特に受動素子、少なくともコンデンサーが薄膜の形で多層基板内部に実装される電子回路実装用基板の製造方法に関する。

【0002】

【従来の技術】近年、電子機器の小型軽量化に伴い、電子機器に搭載される電子回路実装基板は小型化が要求されている。そこで半導体集積回路素子の高集積化、また電気配線の微細化や、抵抗、コンデンサーのような受動部分の小型チップ化が進められている。

【0003】さらに上記要求に対し、半導体集積回路素子や小型化された受動部品を電子回路基板の両面に高密度に実装し、多層化させる技術が発達してきた。しかしながら、今日の電子回路実装基板ではより一層の小型化、高密度化が切望されており、前述の受動部品の小型化、高密度実装化だけではその要求を満足させることができなくなってきた。

【0004】一方、電子機器は回路のデジタル化が進んでおり、これに伴う高周波化、高速化が進展している、その結果、実装基板も高周波ノイズの問題を避けて通れない状況にある。

【0005】そこで、このような問題を解決すべく実装基板上に受動素子を内蔵化する技術が提案されている(例えば特願平10-320622)。すなわち、受動素子を印刷や蒸着などの方法で厚膜、薄膜の形で多層基板内部に実装することにより、基板を小型にすることが可能になる。また、抵抗やコンデンサーを多層基板内部に実装することにより電気配線長を短くすることができ、高周波ノイズを低減させることができる。

【0006】特にコンデンサー膜を内蔵化する場合、従来、実装基板としてセラミックス系基板を用い、この実装基板にコンデンサー部の誘電体層をスクリーン印刷法などにより塗布し、その後、焼成させて形成される厚膜を用いる手法が試みられてきた(例えば特公昭63-55795)。

【0007】しかし、コンデンサー容量は膜厚に反比例するため、厚膜形成した場合、高誘電率を得ることができない。そのため高容量のコンデンサーを形成するためには、誘電体層を薄膜形成する必要がある。

【0008】

【発明が解決しようとする課題】しかしながら、高容量のコンデンサーの形成に際し、コンデンサーの誘電体層を薄膜形成する場合、基板の平滑性や基板と誘電体層との熱膨張率の差から誘電体層に生じるクラックが問題となっていた。

【0009】本発明は上記事情を考慮してなされたものであり、その課題は、高容量のコンデンサー膜を電子回路実装用の多層基板に高密度で内蔵化する技術を提供することにある。

【0010】

【課題を解決するための手段】本発明の電子回路実装用

基板の製造方法、少なくとも耐熱性、平坦性に優れたプロセス用基板を用い、このプロセス用基板上にコンデンサー層を作製する工程と、実装基板を準備しこの実装基板上に前記プロセス用基板上のコンデンサー層を転写する工程と、前記実装基板に少なくとも前記コンデンサー層とは異なる導電層を一層以上設ける工程とを具備し、少なくとも前記コンデンサー層を内蔵化したことを特徴とする。

【0011】本発明によれば、プロセス用基板上にコンデンサー層を作製し、これを実装基板に転写する工程を有することにより、上記実装基板は今までどおりの一般的なものでも薄膜コンデンサー層の製作に対応できるようになる。

【0012】

【発明の実施の形態】本発明は電子回路実装用の多層基板内に予め少なくとも薄膜コンデンサーを内蔵化する技術を提供する。一般に、電子回路実装用の多層基板としては、ガラスエポキシ基板やセラミック基板などが用いられてきた。しかし、薄膜コンデンサー基板を内蔵化して用いるためには、薄膜が形成可能なレベルの平滑性が不可欠であり、また誘電体層をアニールするときの600℃以上の温度に耐えられることが重要である。

【0013】この観点から、従来使われている実装基板を考えてみると、ガラスエポキシ基板では、表面の平滑性、耐熱性が問題となる。またセラミック基板は耐熱性に優れているが、表面にボイド状の凸凹があり、その上に薄膜を形成するのは困難である。

【0014】そこで、本発明では実装基板上に直接コンデンサー膜を形成するのではなく、Si基板やガラス基板のような表面平滑性、耐熱性に優れたプロセス用基板を別に準備し、その上に薄膜のコンデンサーを形成する。その後、形成されたコンデンサーを電子回路実装基板に転写させるのである。

【0015】このような製法を採用すれば、電子回路実装用基板は平滑性、耐熱性を有する必要が無くなる。よって、ガラスエポキシ基板、セラミック基板など従来のものを用いることができる。もちろんSi基板やガラス基板、マイカ基板などを用いてもかまわない。以下、詳細に説明する。

【0016】図1(a)～(h)は、それぞれ本発明の実施形態に係る電子回路実装用基板の要部の製造方法を工程順に示す断面図である。

【0017】図1(a)は、プロセス用基板1を示す。すなわち、本発明の特徴である実装用基板とは別に準備された、コンデンサー膜を形成するためのガラス基板である。このプロセス用基板1は、表面平滑性、耐熱性に優れているものを用いればよく、ガラス基板の他にSi基板やマイカ基板を用いてもよい。

【0018】次に、図1(b)に示すように、ガラス基板1上に剥離用のAl膜2を形成する。Al膜2の他に

SiO₂膜を用いてもよい。次に、図1(c)に示すようにコンデンサーの一方電極となる金属膜3、誘電体膜4、他方電極となる金属膜5を順に形成する。

【0019】金属膜3はPt, Ru, Ir, Au, Ag, Tiのような貴金属やその酸化物を用い、スパッタリング法、CVD法、真空蒸着法、電子ビーム蒸着法、ゾルゲル法、ミスト法などの方法で形成される。Pt/IrO₂やPt/Tiのように金属やその酸化物を多層構造にして電極としてもよい。さらに、めっき法や印刷法を用いて厚膜形成してもよい。

【0020】誘電体膜は、Ba_xSr_{1-x}TiO₃(BST)、PbZr_xTi_{1-x}O₃(PZT)、Pb_xLa_{1-x}(ZrTi_{1-y})_{1-y/4}O₃(PLZT)、PbMg_{1/3}Nb_{2/3}O₃(PMN)、Bi₄Ti₃O₁₂、SrBi₂Ta₂O₉(SBT)のような強誘電体特性を示す材料を用い、ゾルゲル法、ミスト法、スパッタリング法、CVD法などの方法で形成する。

【0021】例えばゾルゲル法による成膜は以下のようにになる。

(1) BSTなどのゾルゲル液を金属膜3上にコーティングする。コーティング方法はスピンコーティング、ディップコーティング、スプレーコーティングのいずれかを用いる。

(2) コーティングされた膜を乾燥後、400℃以上の温度で熱処理させる。

(3) 上記(1)、(2)の工程を希望の膜厚になるまで繰り返す。

(4) 600℃以上の温度でアニーリングし、結晶化させる。

【0022】他方電極となる金属膜5は、上記金属膜3と同じ材料を用いてもよいが、金属膜3と違って高温にさらされることが無いので、貴金属に限らず他の金属を用いてもよい。また、導電ペーストなどの厚膜材料を用いてもよい。

【0023】次に、図1(d)に示すように、金属膜5上にエッチング用のマスク6を形成し、金属膜5、誘電体4、金属膜3のエッチングを行う。マスク6は有機レジスト膜のコーティングに限らず、テープの貼り付け、金属マスクなどいかなるものでもよい。エッチングはサンドブラスト法、ドライエッチング法、ウェットエッチング法のいずれかを用いるとよい。

【0024】次に、図1(e)に示すように、エッチング用マスク6を除去した後、エッチングした部分に新たにマスク層7を形成する。マスク層7は、有機レジスト膜のコーティングに限らず、テープの貼り付け、金属マスクなどいかなるものでもよい。その後、Au層8を蒸着する。

【0025】次に、図1(f)に示すように、マスク層7を除去する(リフトオフ)。これにより、金属膜5上にAu層8が形成される形になる。このAuは真空蒸着

法、CVD法、スパッタリング法、電子ビーム蒸着法、ゾルゲル法、めっき法、印刷法など、その成膜方法を問わない。また、Au以外でもCu、Fe、Al、Agの各金属でもよい。

【0026】次に、図1(g)に示すように、上記コンデンサー膜を転写させるための実装基板9が準備される。実装基板9にはエポキシ系基板、セラミック系基板、半導体基板、ガラス基板、マイカ基板のいずれかを用いる。

【0027】この実装基板9にはグランド(接地)面10とビア11が予め形成されている。さらに、この実装基板9上にはAu層12が形成されている。このAu層12はビア11を介して電気的に接続されている。Auは真空蒸着法、CVD法、スパッタリング法、電子ビーム蒸着法、ゾルゲル法、めっき法、印刷法など、その成膜方法を問わない。また、Au以外でもCu、Fe、Al、Agの各金属でもよく、好ましくはAu層8で使う金属と同等の金属にするとよい。そして、実装基板9上のAu層12とAu層8を重ねて超音波接続させる。超音波による接合の補助として熱を加えてもよい。

【0028】その後、図1(h)に示すように、最後に剥離用のAl膜2をウェットエッチングし、プロセス基板1からコンデンサー層(金属膜3、誘電体膜4、金属膜5)を剥離する。この結果、コンデンサー層が実装基板9に転写形成された実装基板9が実現される。

【0029】図2は、上記コンデンサー層の実装基板を、抵抗の実装基板や半導体集積回路素子を実装するメイン基板と固着させた構成を示す断面図である。上記コンデンサー層の実装基板9のGND(接地)面側に半導体集積回路素子を実装する主回路基板30の裏面を圧着固定させ、上記実装基板9のコンデンサー層転写側に絶縁層を介して薄膜抵抗21を実装した実装基板20を圧着固定させている。その際、必要な接続箇所はビアホール15やスルーホール16を介する導電部材により接続されるようになっている。

【0030】基板20の薄膜抵抗21実装側とは反対側の面には、電源(VDD)層22が形成されている。図示はしないが、主回路基板30は、実装基板9のGND(接地)面側に設ける代りに上記電源(VDD)層22側に設けてもよい。また、薄膜抵抗21はコンデンサ層と同じ層に設けてもよいし、この図2の層配置関係に限定されず、コンデンサ層の上層、下層どちらに設けてもよし、また、設けなくてもよい。

【0031】このような構成により、コンデンサー膜を内蔵化した多層の電子回路実装用基板40の作製が可能となる。本発明が用いる転写形成法によって、耐熱性、

平滑性が低い回路基板材料でもコンデンサーや薄膜抵抗を多層実装基板に内蔵化できる。これにより、表層にチップ部品と共にコンデンサー素子や抵抗素子を1つずつ実装する場合に比べ、実装基板面積を小型化でき、また、配線長が短くなるため高周波ノイズが低減される。この結果、コストの低減、信頼性の向上が可能になる。

【0032】上記実施形態では主にコンデンサーを転写形成する方法を説明したが、これと同様な方法によって、プロセス基板1からコンデンサー層(金属膜3、誘電体膜4、金属膜5)の代りに抵抗ペーストを形成することにより、抵抗膜を転写形成することも可能である。

【0033】また、コンデンサー層(金属膜3、誘電体膜4、金属膜5)は、エッチング後、Au層8をリフトオフしてパターンを形成したが、コンデンサー層とAu層を連続して成膜した後、ドライエッチング法を用いて図1(f)のようなパターンを形成してもよい。さらに、上記実施形態の方法では金属どうし(Au層12とAu層8)の接合は超音波接合を用いたが、導電性接着剤を用いるなどして転写形成してもよい。

【0034】

【発明の効果】以上説明したように、本発明の実装基板の製造方法によれば、一般的に使われてきた耐熱性、平滑性が低い回路基板材料でもコンデンサーを多層実装基板に内蔵化させることが可能になる。薄膜のコンデンサーや薄膜抵抗を基板に内蔵化することにより、表層へのコンデンサー素子や抵抗素子の実装が大幅に削減され、実装基板面積の小型化、配線長の短縮化による高周波ノイズの低減、総合的なコスト削減が達成される。よって本発明により、集積回路実装製品の信頼性の向上に寄与する電子回路実装用基板の製造方法が提供できる。

【図面の簡単な説明】

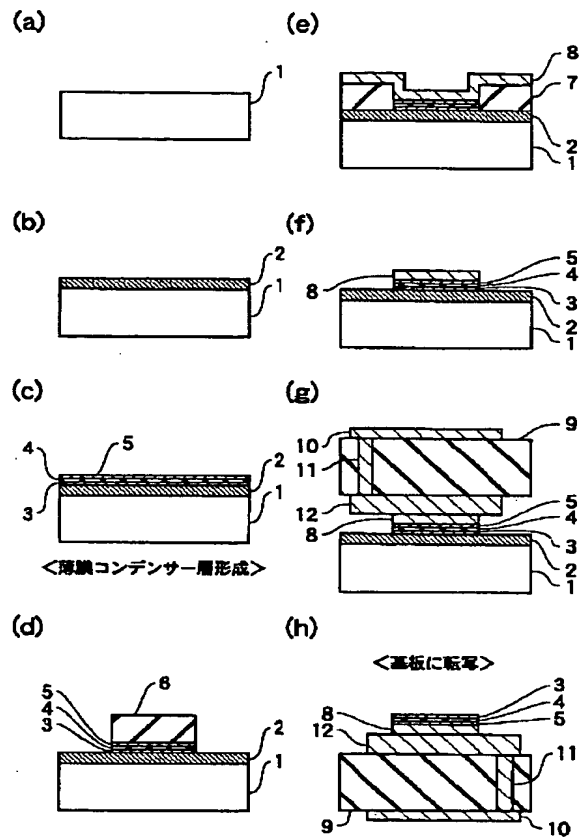
【図1】(a)～(h)は、それぞれ本発明の実施形態に係る電子回路実装用基板の要部の製造方法を工程順に示す断面図である。

【図2】図1で形成されたコンデンサー層の実装基板を、抵抗の実装基板や半導体集積回路素子を実装するメイン基板と固着させた構成を示す断面図である。

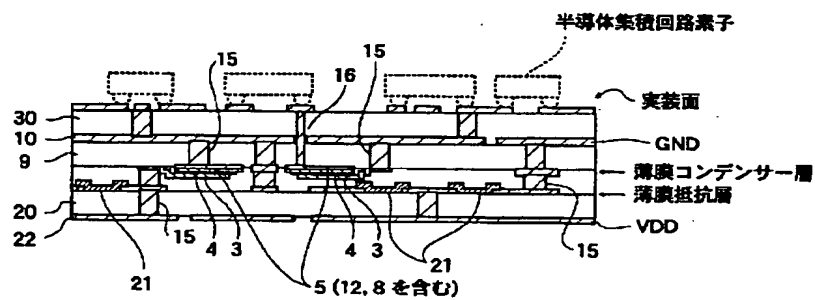
【符号の説明】

1…プロセス用基板、2…剥離用のAl膜、3…金属膜(コンデンサーの一方電極)、4…誘電体膜、5…金属膜(コンデンサーの他方電極)6…マスク、7…マスク層、8、12…Au層、9、20…実装基板、10…グランド(接地)面、11…ビア、15…ビアホール、16…スルーホール、21…薄膜抵抗、22…電源(VDD)層、30…主回路基板。

【図1】



【図2】



フロントページの続き

Fターム(参考) 4E351 AA02 AA07 BB03 BB05 BB23
BB24 BB29 DD02 GG01 GG06
5E082 AB03 BC39 EE04 EE05 EE23
EE35 EE37 FG03 FG26 FG41
FG42 KK01 MM02 MM24 MM28
5E346 AA12 AA14 AA15 AA22 AA43
BB02 BB03 BB04 BB06 BB20
CC01 CC42 DD07 DD09 DD11
DD31 EE43 FF45 GG28 GG40
HH01 HH22